

12 **EUROPÄISCHE PATENTANMELDUNG**

21 Anmeldenummer: 87115443.1

51 Int. Cl.⁴: H01L 23/56, H01L 25/04

22 Anmeldetag: 21.10.87

30 Priorität: 22.10.86 DE 3635956

43 Veröffentlichungstag der Anmeldung:
 04.05.88 Patentblatt 88/18

84 Benannte Vertragsstaaten:
 DE FR GB IT SE

71 Anmelder: Siemens Aktiengesellschaft Berlin
 und München
 Wittelsbacherplatz 2
 D-8000 München 2(DE)

Anmelder: Semikron Elektronik GmbH
 Postfach 82 02 51
 D-8500 Nürnberg 82(DE)

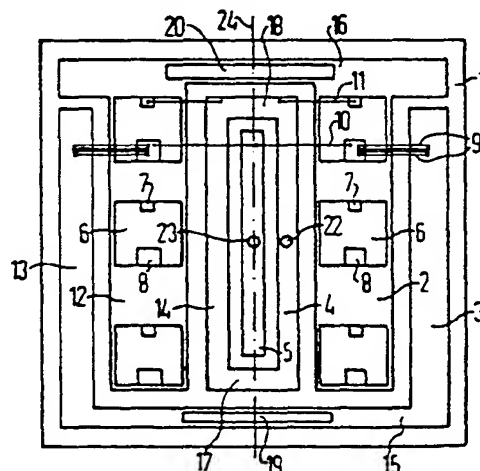
72 Erfinder: Hebenstreit, Ernst, Dipl.-Ing.
 Am Blütenanger 14
 D-8000 München 50(DE)
 Erfinder: Schierz, Winfried
 Heidestrasse 2
 D-8548 Heideck(DE)
 Erfinder: Lorenz, Leo, Dr.
 Max-Loew-Strasse 14
 D-8014 Neubiberg(DE)
 Erfinder: Amann, Heinz
 Fasanenstrasse 100
 D-8025 Unterhaching(DE)

74 Vertreter: Mehl, Ernst, Dipl.-Ing. et al
 Postfach 22 01 76
 D-8000 München 22(DE)

54 Halbleiterbauelement mit mindestens einem Leistungs-MOSFET.

57 Ein diskret aufgebauter MOSFET wird durch eine zwischen Gateanschluß und Sourceanschluß angelegte Spannung umgeschaltet. Der Sourceanschluß hat eine Eigeninduktivität, in der eine schnelle Änderung des Laststroms eine der angelegten Gate-Sourcevorspannung entgegenwirkende erhebliche Spannung induziert. Diese Gegenspannung wird dadurch verringert, daß der Sourcekontakt (8) mit einem Hilfsanschluß (10, 5) verbunden ist, der magnetisch weitgehend vom Sourceanschluß (9, 3) entkoppelt ist. Die Steuerspannung wird zwischen Gate- und Hilfsanschluß angelegt. Beim Parallelschalten mehrerer MOSFET lassen sich damit Schwingungen im Steuerkreis wirkungsvoll unterdrücken.

FIG 1



Halbleiterbauelement mit mindestens einem Leistungs-MOSFET

Die Erfindung bezieht sich auf ein Halbleiterbauelement mit mindestens einem Leistungs-MOSFET, dessen Halbleiterkörper einen Sourcekontakt und einen mit diesem verbundenen Sourceanschluß sowie einen Gatekontakt und einen mit diesen verbundenen Gateanschluß hat.

Solche Halbleiterbauelemente werden durch eine zwischen den Sourcekontakt und den Gatekontakt angelegte Steuerspannung leitend gesteuert. Die Steuerspannung wird in der Praxis zwischen den Sourceanschluß und den Gateanschluß gelegt. Der als Sourceanschluß dienende Draht hat eine Eigeninduktivität, die bewirkt, daß der sich beim Einschalten oder Ausschalten des MOSFET zeitlich ändernde Laststrom eine Spannung in der Induktivität induziert, die der Steuerspannung schaltverzögernd entgegenwirkt. Schaltet man mehrere Leistungs-MOSFET parallel und steuert sie gemeinsam aus einer einzigen Spannungsquelle an, so führt die erwähnte Induktivität dazu, daß im Ansteuerkreis wegen unvermeidlicher Bauelementetoleranzen hochfrequente Schwingungen mit Amplituden auftreten, die den FET-Eingang zerstören können. Die Schwingfrequenz wird maßgeblich durch die erwähnte Induktivität des Sourceanschlusses und daneben durch andere parasitäre Netzwerk- und Bauelementeparameter bestimmt. Die Amplitude der Schwingung wird durch die große Steilheit des MOSFET verstärkt.

Die Schwingungen beim Einschalten von parallelgeschalteten Leistungs-MOSFET wurden beispielsweise in den Veröffentlichungen "PCI Oktober 1984 Proceedings" Seiten 209 bis 213 und "MOTOROLA TMOS POWER MOSFET DATA", Seiten A-49 bis A-70 beschrieben. Zur Verhinderung der hochfrequenten Schwingungen wird dort vorgeschlagen, in die Gateanschlüsse der parallel geschalteten MOSFET jeweils einen Widerstand oder eine Ferrit perle einzuschalten. Versuche haben jedoch ergeben, daß sich die geschilderten Probleme damit zwar mindern, jedoch nicht völlig beseitigen lassen, wenn schnell geschaltet werden soll.

Der Erfindung liegt die Aufgabe zugrunde, ein Halbleiterbauelement der erwähnten Art derart weiterzubilden, daß die erwähnte nachteilige Wirkung der Induktivität des Sourceanschlusses weiter vermindert wird und die erwähnten Schwingungen bei parallel geschalteten MOSFET auch bei schnellem Schalten in der Größenordnung unterhalb einer Microsekunde vermieden werden.

Diese Aufgabe wird gelöst durch einen mit dem Sourcekontakt verbundenen Hilfsanschluß, der magnetisch zumindest teilweise vom Sourceanschluß entkoppelt ist.

Weiterbildungen der Erfindung im Hinblick auf parallel geschaltete MOSFET sind Gegenstand der Unteransprüche.

Die Erfindung wird anhand von Ausführungsbeispielen in Verbindung mit den Figuren 1 bis 3 näher erläutert. Diese zeigen Aufsichten auf drei Ausführungsbeispiele mit jeweils parallel geschalteten MOSFET-Halbleiterkörpern.

Das Halbleiterbauelement nach Figur 1 ist auf einem isolierenden, wärmeleitenden Substrat 1 aufgebaut. Das Substrat kann beispielsweise aus einer bekannten Aluminiumoxidkeramik bestehen. Es ist mit ersten Leiterbahnen 2, 12, zweiten Leiterbahnen 3, 13 und dritten Leiterbahnen 4, 14 versehen. Diese Leiterbahnen liegen einander parallel und sind spiegelsymmetrisch zu einer die Längsachse des Substrats 1 bildenden Symmetrieachse 24 angeordnet. Das Substrat ist außerdem mit einer vierten Leiterbahn 5 versehen, die auf der Symmetrieachse 24 sitzt.

Die ersten Leiterbahnen 2, 12 und die zweiten Leiterbahnen 3, 13 sind durch Brücken 15 bzw. 16 leitend miteinander verbunden. Die dritten Leiterbahnen 4, 14 sind durch Brücken 17, 18 elektrisch miteinander verbunden. Die Leiterbahnen 2, 12 bilden zusammen mit der Brücke 16 einen ersten U-förmigen Leiter, während die Leiterbahnen 3, 13 mit der Brücke 15 einen zweiten U-förmigen Leiter bilden. Beide U-förmigen Leiter sind gegeneinander um 180° verdreht und ineinander verschachtelt auf dem Substrat angeordnet.

Auf den ersten Leiterbahnen 2, 12 sind in zwei Reihen hintereinander Halbleiterkörper 6 angeordnet, die jeweils einen Leistungs-MOSFET bilden. Die Halbleiterkörper 6 sind jeweils mit einem Gatekontakt 7 und einem Sourcekontakt 8 versehen. Die Sourcekontakte 8 sind z. B. über Bonddrähte 9 mit den zweiten Leiterbahnen 3, 13 verbunden. Die Leiterbahnen 3, 13 bilden zusammen mit der Brücke 15 und den Bonddrähten 9 den Sourceanschluß. Die Gatekontakte 7 sind jeweils über einen oder mehrere Bonddrähte 11 mit den dritten Leiterbahnen 4, 14 verbunden. Diese Leiterbahnen bilden zusammen mit den Brücken 17, 18 und den Bonddrähten 11 den Gateanschluß des Halbleiterbauelements. Die Leiterbahnen 2, 12 dienen als Drainanschluß.

Zusätzlich sind die Sourcekontakte 8 über Bonddrähte 10 mit der Leiterbahn 5 verbunden. Die Bonddrähte 10 bilden zusammen mit der Leiterbahn 5 einen Hilfsanschluß zur Ansteuerung der parallel geschalteten MOSFET. Um die Bonddrähte kurz zu halten, liegen sie rechtwinklig zu den Leiterbahnen.

Das Halbleiterbauelement wird durch eine zwischen Gateanschluß und Hilfsanschluß angelegte Steuerspannung eingeschaltet. Dadurch, daß die Leiterbahnen 3, 13 d. h. die Sourceanschlüsse auf der einen Seite der Reihe von Halbleiterkörpern, im Ausführungsbeispiel auf der Außenseite des Substrats und die Leiterbahnen für die Ansteuerung der Halbleiterkörper auf der anderen Seite der Reihe von Halbleiterkörpern angeordnet sind, ergibt sich eine weitgehende magnetische Entkopplung des Ansteuerkreises von den Sourceanschlüssen des Halbleiterbauelements. Ein solches Halbleiterbauelement läßt sich z. B. innerhalb von 100 ns vollständig durchschalten, ohne daß es im Ansteuerkreis zu hochfrequenten Schwingungen kommt. Die magnetische Entkopplung ist bei geeigneter Lage der Leiterbahnen um so besser, je weiter die den Laststrom führenden Bonddrähte 9 vom Bonddraht 10 entfernt sind. Optimal ist die Anordnung dann, wenn, wie dargestellt, die Bonddrähte 9 und 10 nach entgegengesetzten Seiten vom Sourcekontakt 8 abstehen.

Eine weitere Verbesserung des Ansteuerungsverhaltens läßt sich dadurch erreichen, daß die zum Steuerkreis gehörenden Leitersysteme, bestehend aus den Bonddrähten 10, 11 und im wesentlichen den Leiterbahnen 4, bzw. 14 nahe beieinander angeordnet sind und mindestens teilweise einander parallel liegen. Damit läßt sich die Induktivität des Steuerkreises verringern. Die erwähnten Bonddrähte und Leiterbahnen können so nahe beieinander angeordnet sein, wie dies aus Isolations- und Fertigungsgründen möglich ist.

In Figur 1 sind die Halbleiterkörper 6 derart auf den Leiterbahnen 2, 12 angeordnet, daß die Bonddrähte 10 und 11 relativ weit auseinander liegen. Im Ausführungsbeispiel nach Figur 2 sind die Halbleiterkörper gegenüber dem Ausführungsbeispiel nach Figur 1 um 90 Grad gedreht. Damit wird eine räumlich benachbarte Anordnung der zum Steuerkreis gehörenden Bonddrähte 10 und 11 möglich, wenn die Source- und Gatekontakte einander am Rand der Halbleiterkörper gegenüberliegen.

Die Drainanschlüsse, Sourceanschlüsse und Gateanschlüsse sowie die Hilfsanschlüsse sind mit Gehäuseanschlüssen 19, 20, 22 und 23 verbunden. Dabei bildet 19 den Source-Gehäuseanschluß, 20 den Drain-Gehäuseanschluß, 22 den Gate-Gehäuseanschluß und 23 den Hilfs-Gehäuseanschluß. Diese Gehäuseanschlüsse führen aus einem das Substrat, die Halbleiterkörper, die Leiterbahnen und die Bonddrähte einhüllenden Gehäuse und sind zum Anschluß an externe Spannungsquellen bzw. eine externe Last bestimmt. Die Gehäuseanschlüsse 19, 20 liegen symmetrisch zur Symmetrieachse 24 auf den Brücken 15 bzw. 16 oder anders ausgedrückt auf den Jochen der U-

förmigen Leitersysteme. Die Gehäuseanschlüsse 22, 23 sitzen in der Mitte der Längsausdehnung der dritten bzw. vierten Leiterbahn. Sitzen dazu die Halbleiterkörper 6 gleichmäßig verteilt auf den Leiterbahnen 2, 12, so erhält man weitgehend gleichmäßige Stromaufteilung und gleichmäßige Einschaltbedingungen für alle MOSFET.

Die Ausführungsbeispiele nach den Figuren 1 und 2 weisen jeweils sechs Halbleiterkörper auf. Es ist jedoch auch möglich, nach dem gleichen Prinzip Halbleiterbauelemente mit weniger oder mehr, vorzugsweise einer geradzahligen Anzahl von Halbleiterkörpern aufzubauen. Es ist auch möglich, Halbleiterbauelemente nach dem beschriebenen Prinzip aufzubauen, die beispielsweise nur eine einzige auf einer Seite der Symmetrieachse liegende Anordnung enthält. Außerdem ist denkbar, Halbleiterbauelemente mit nur einem einzigen Halbleiterkörper nach dem dargestellten Prinzip aufzubauen.

Abweichend von der in den Figuren 1 und 2 gezeigten Zuordnung der U-förmigen ersten und zweiten Leiterbahnen 2, 12; 3, 13 können diese auch nach Art von Fingerstrukturen miteinander verzahnt sein.

Ein weiteres Ausführungsbeispiel ist in Figur 3 gezeigt. Dort sind auch die ersten und die zweiten Leiterbahnen jeweils als geschlossene Ringe 26 bzw. 27 ausgebildet und ineinanderliegend angeordnet. Im Ring 27 liegen die ebenfalls in den Ring bildenden dritten Leiterbahnen 4, 14, 17, 18. Zwei der Halbleiterkörper liegen auf der Symmetrieachse 24. Die Gehäuseanschlüsse 19, 20 sind hier geteilt worden und kontaktieren die Ringe 26, 27 beidseitig dieser Halbleiterkörper. Sie liegen rechtwinklig und symmetrisch zur Symmetrieachse 24.

Für besonders hohe Anforderungen kann es zweckmäßig sein, zusätzlich in an sich bekannter Weise in den Gateanschluß jedes Halbleiterkörper einen Widerstand 25 (Figur 2) einzuschalten. Ein solcher Widerstand kann z. B. ein dotiertes Halbleiterplättchen sein, das jeweils auf die Leiterbahnen 4, 14 aufgelötet ist. Der Bonddraht 11 kontaktiert dann die Oberseite des Plättchens.

Ansprüche

1. Halbleiterbauelement mit mindestens einem Leistungs-MOSFET, dessen Halbleiterkörper (6) einen Sourcekontakt (8) und einen mit diesem verbundenen Sourceanschluß sowie einen Gatekontakt (7) und einen mit diesem verbundenen Gateanschluß hat, gekennzeichnet durch einen mit dem Sourcekontakt (8) verbundenen Hilfsanschluß, der magnetisch zumindest teilweise vom Sourceanschluß entkoppelt ist.

2. Halbleiterbauelement nach Anspruch 1, **gekennzeichnet** durch ein elektrisch isolierendes, thermisch leitendes, mit Leiterbahnen versehenes Substrat (1), durch mehrere, auf einer ersten Leiterbahn (2) in einer Reihe hintereinander angeordnete Halbleiterkörper (6), durch eine zweite, auf der einen Längsseite der Reihe liegende Leiterbahn (3), die elektrisch mit den Sourcekontakten verbunden ist, und durch eine dritte und eine vierte, auf der anderen Längsseite der Reihe liegende Leiterbahn (4, 5) die mit den Gatekontakten (7) bzw. den Sourcekontakten (8) verbunden sind.

3. Halbleiterbauelement nach Anspruch 2, **dadurch gekennzeichnet**, daß die dritte und vierte Leiterbahn (4, 5) nahe beieinander angeordnet sind und mindestens teilweise einander parallel liegen.

4. Halbleiterbauelement nach Anspruch 2 oder 3, **dadurch gekennzeichnet**, daß die Kontakte (7, 8) der Halbleiterkörper mit den zugeordneten Leiterbahnen über Bonddrähte (9, 10, 11) verbunden sind.

5. Halbleiterbauelement nach Anspruch 4, **dadurch gekennzeichnet**, daß die mit der dritten und vierten Leiterbahn (4, 5) verbundenen Bonddrähte (10, 11) nahe beieinander und parallel zueinander angeordnet sind.

6. Halbleiterbauelement nach Anspruch 4 oder 5, **dadurch gekennzeichnet**, daß sich die Bonddrähte (9, 10, 11) rechtwinklig zu den Leiterbahnen (2, 3, 4, 5) erstrecken.

7. Halbleiterbauelement nach einem der Ansprüche 2 bis 6, **gekennzeichnet** durch jeweils zwei spiegelsymmetrisch zueinander angeordnete erste, zweite und dritte Leiterbahnen (2, 12; 3, 13; 4, 14), durch spiegelsymmetrisch auf den ersten Leiterbahnen angeordnete Halbleiterkörper (6), durch eine in der Symmetrieachse (24) liegende vierte Leiterbahn (5) und durch eine symmetrische elektrische Verbindung jeweils zwischen den ersten, zweiten und dritten Leiterbahnen der beiden Symmetriehälften.

8. Halbleiterbauelement nach Anspruch 7, **dadurch gekennzeichnet**, daß die erste und zweite Leiterbahn (2, 12; 3, 13) jeweils U-förmig ausgebildet ist, daß sie um 180° gegeneinander gedreht ineinander verschachtelt angeordnet sind, daß die dritte Leiterbahn (4, 14) ein geschlossener rechteckiger Ring ist und innerhalb der U-förmigen zweiten Leiterbahn (3, 13) liegt und daß die vierte Leiterbahn (5) als Streifen ausgebildet ist und innerhalb des Rings liegt.

9. Halbleiterbauelement nach Anspruch 8, **dadurch gekennzeichnet**, daß die Leiterbahnen mit Gehäuseanschlüssen (19, 20, 22, 23) versehen sind, daß die Gehäuseanschlüsse (20, 19) für die ersten und zweite Leiterbahn (23) symmetrisch zur

Symmetrieachse (24) auf den Jochen der U-förmigen ersten und zweiten Leiterbahnen (2, 3) sitzen und daß die Gehäuseanschlüsse (22, 23) für die dritte und vierte Leiterbahn (4, 14; 5) wenigstens annähernd in der Mitte von deren Längsausdehnung liegen.

10. Halbleiterbauelement nach einem der Ansprüche 2 bis 9, **dadurch gekennzeichnet**, daß in den Gateanschluß ein Widerstand (25) geschaltet ist.

11. Halbleiterbauelement nach Anspruch 7, **dadurch gekennzeichnet**, daß die ersten, zweiten und dritten Leiterbahnen jeweils als geschlossene Ringe (26; 27; 4, 14, 17, 18) ausgebildet und ineinander angeordnet sind, und daß die vierte Leiterbahn (5) streifenförmig innerhalb des innersten Rings liegt.

12. Halbleiterbauelement nach Anspruch 11, **dadurch gekennzeichnet**, daß die Leiterbahnen mit Gehäuseanschlüssen (19, 20, 22, 23) versehen sind, daß die Gehäuseanschlüsse (19, 20) für die erste und zweite Leiterbahn senkrecht und symmetrisch zur Symmetrieachse (24) liegen, und daß die Gehäuseanschlüsse (22, 23) für die dritte und vierte Leiterbahn (4, 14; 5) wenigstens annähernd in der Mitte von deren Längsausdehnung liegen.

FIG 1

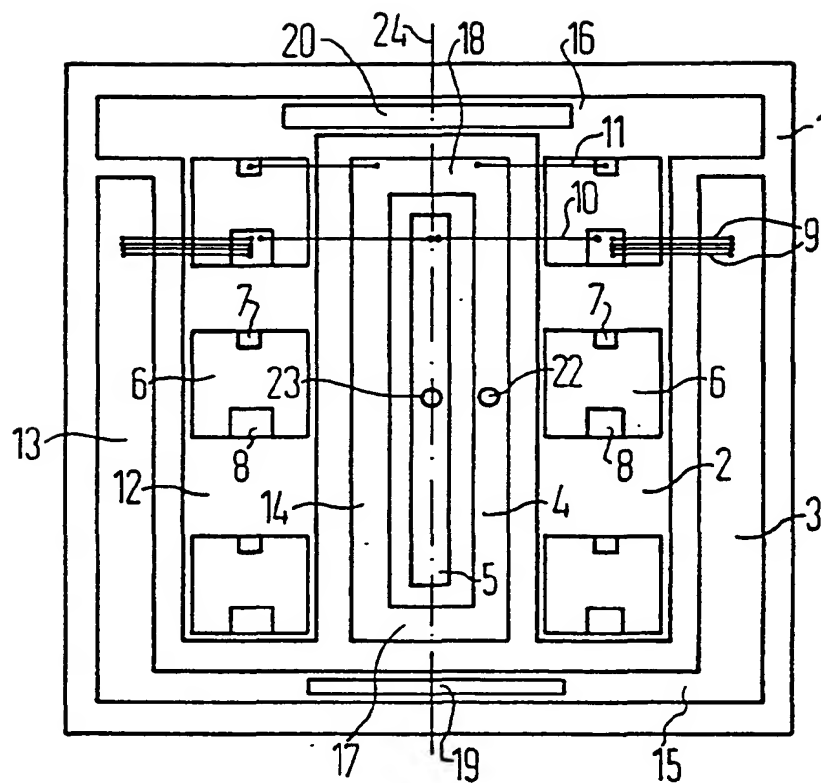


FIG 2

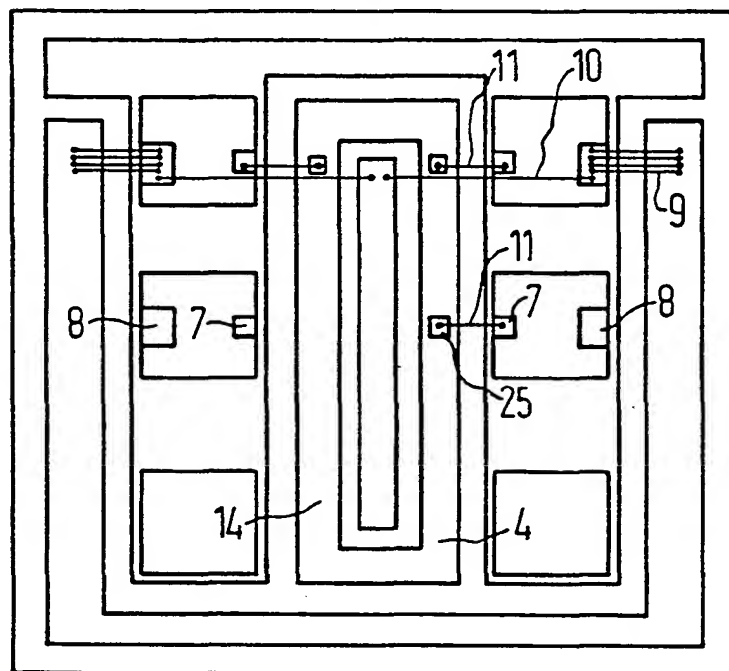
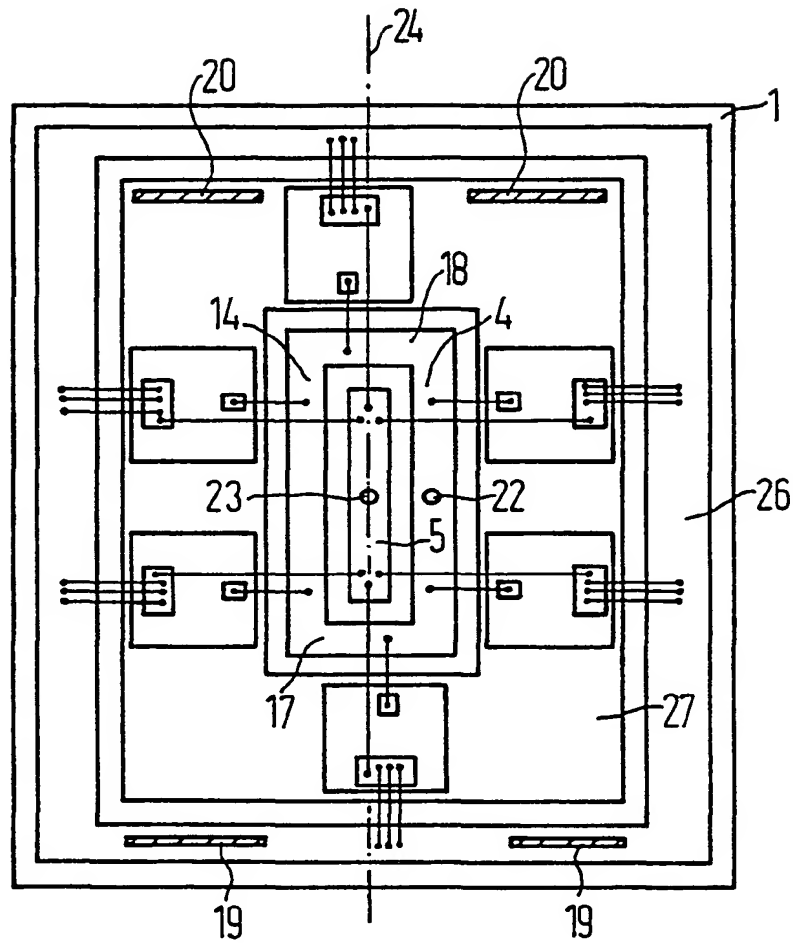


FIG 3





Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung

EP 87 11 5443

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl.4)
A	DE-C-3 327 186 (ANT) * Zusammenfassung *	1,4	H 01 L 23/56 H 01 L 25/04
A	DE-A-3 043 903 (SIEMENS) * Seite 5, Zeilen 22-28 *	1	
A	PATENT ABSTRACTS OF JAPAN, Band 8, Nr. 123 (E-249)[1560], 8. Juni 1984; & JP-A-59 35 456 (NIPPON DENKI K.K.) 27-02-1984	1,4,10	
A	EP-A-0 030 168 (THOMSON) * Zusammenfassung; Anspruch 4 *	1,2	
A	PATENT ABSTRACTS OF JAPAN, Band 5, Nr. 176 (E-81)[848], 12. November 1981; & JP-A-56 103 457 (HITACHI SEISAKUSHO K.K.) 18-08-1981	1,2	
A	EP-A-0 018 091 (FUJITSU)		
			RECHERCHIERTE SACHGEBIETE (Int. Cl.4)
			H 01 L
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 27-01-1988	Prüfer DE RAEVE R.A.L.
KATEGORIE DER GENANNTEN DOKUMENTE			
X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : mündliche Offenbarung P : Zwischenliteratur		T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentedokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus andern Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	

EPO FORM 1503 03.82 (P0403)

